

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-189060

(43)Date of publication of application : 05.07.2002

(51)Int.CI.

G01R 31/28  
H01L 27/04  
H01L 21/822

(21)Application number : 2000-387975

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 21.12.2000

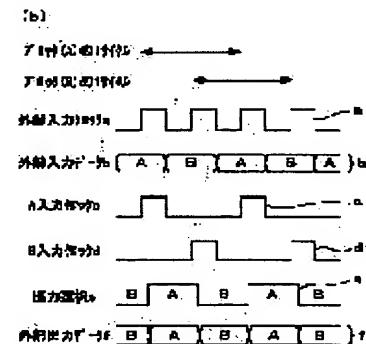
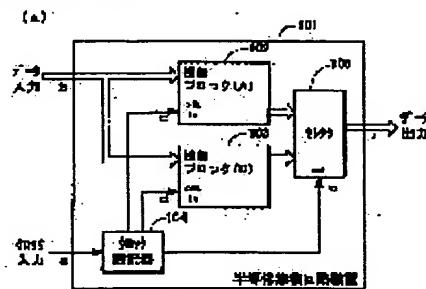
(72)Inventor : KATAOKA TAKESHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS INSPECTION METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit device and its inspection method, capable of shortening the time taken for inspection.

**SOLUTION:** The semiconductor integrated circuit device is provided with a plurality of functional blocks 102, 103, providing a function latching a data input signal b in the rise in clock signals c, d, a clock selecting device 104 selecting one of the plurality of the functional blocks 102, 103 in regular order to output the clock signals c, d and an output selecting signal e, whenever inputting a clock signal a from the outside, and a selector 105 outputting the output signal of the functional block, specified by the output selective signal e to the outside. The data input signal b for arranging data in the order, corresponding to the functional block from an outside LSI tester in time division, is input to inspect the plurality of the blocks 102, 103 in parallel.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-189060

(P2002-189060A)

(43)公開日 平成14年7月5日(2002.7.5)

(51)Int.Cl.<sup>7</sup>  
G 0 1 R 31/28  
H 0 1 L 27/04  
21/822

識別記号

F I  
G 0 1 R 31/28  
H 0 1 L 27/04

デーマーク<sup>7</sup>(参考)  
V 2 G 0 3 2  
Y 5 F 0 3 8  
T

審査請求 未請求 請求項の数4 OL (全7頁)

(21)出願番号 特願2000-387975(P2000-387975)  
(22)出願日 平成12年12月21日(2000.12.21)

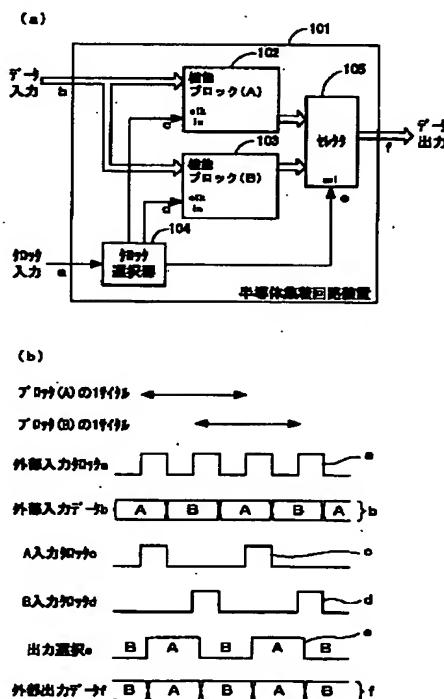
(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72)発明者 片岡 武  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74)代理人 100068087  
弁理士 森本 義弘  
Fターム(参考) 2G032 AB01 AB20 AC03 AD06 AG01  
AG07 AH04 AK15 AL11  
5F038 CD06 DF17 DT02 DT03 DT04  
DT10 EZ20

(54)【発明の名称】 半導体集積回路装置およびその検査方法

(57)【要約】

【課題】 検査にかかる時間を短縮することができる半導体集積回路装置およびその検査方法を提供する。

【解決手段】 クロック信号c、dの立ち上がりでデータ入力信号bをラッチする機能を設けた複数の機能ブロック102、103と、外部からクロック信号aが入力されるたびに、複数の機能ブロック102、103のうち一つを順番に選択してクロック信号c、dと出力選択信号eを出力するクロック選択器104と、出力選択信号eにより指定された機能ブロックの出力信号を外部に出力するセレクタ105とを備え、外部のLSIテストから、機能ブロックに対応する順にデータを時分割に並べたデータ入力信号bを入力して、複数のブロック102、103を並列に検査する。



## 【特許請求の範囲】

【請求項1】 入力データをラッチし、前記入力データに対応するデータを出力する機能を有する複数の機能ブロックからなり、内蔵したテスト回路により前記機能が検査される半導体集積回路装置において、前記テスト回路を、前記複数の機能ブロックからの前記入力データに基づく各出力データのうち1つを選択して外部に出力するセレクタと、外部からのクロックに基づいて、前記複数の機能ブロックから1つのブロックを順次選択する選択信号、および前記セレクタによる出力データの選択を指示する出力選択信号を生成するクロック選択器とで構成し、前記クロック選択器を、前記選択信号により、前記外部からクロックが一つ入力されるたびに、前記複数の機能ブロックから一つを順次選択するとともに、前記出力選択信号により、前記セレクタを通じて、前記機能ブロックの選択順に対応して、機能ブロックからの出力データを順次選択するよう構成し、前記テスト回路により前記複数の機能ブロックが並列検査されることを特徴とする半導体集積回路装置。

【請求項2】 複数の機能ブロックとして、それぞれの動作速度が、同一でかつ検査テストの動作速度より遅い機能ブロックを設け、前記複数の機能ブロックに対して、同時進行により並列検査するよう構成したことを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 複数の機能ブロックとして、それぞれ異なる動作速度のものが混在し、かつ最も速い動作速度が検査テストの動作速度より遅い機能ブロックを設け、前記複数の機能ブロックに対して、同時進行により並列検査するよう構成したことを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 入力データをラッチし、前記入力データに対応するデータを出力する機能を有する複数の機能ブロックからなり、内蔵したテスト回路により前記機能が検査される半導体集積回路装置の検査方法であって、前記テスト回路により、外部からクロックが一つ入力されるたびに、前記複数の機能ブロックから一つを順次選択するとともに、前記機能ブロックの選択順に対応して、前記機能ブロックからの出力データを順次選択して出力することにより、前記複数の機能ブロックを並列検査することを特徴とする半導体集積回路装置の検査方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、複数の機能ブロックからなり、内蔵したテスト回路による良否判定により検査される半導体集積回路装置およびその検査方法に関するものである。

## 【0002】

【従来の技術】 従来から、各種電子機器では、例えばランダムアクセスメモリ(RAM)回路やロジック回路などのように、入力データをラッチし、その入力データに

対応するデータを出力する機能を有する複数の機能ブロックを1チップ化して形成された半導体集積回路装置が広く利用されている。

【0003】 このような半導体集積回路装置は、通常、テスト回路が予め内蔵され、このテスト回路により各機能ブロックに対して、機能検査が実行できるように構成されている。

【0004】 以上のように、複数の機能ブロックからなり、それら各機能ブロックに対して、内蔵したテスト回路により機能検査するように構成された半導体集積回路装置およびその検査方法について、機能ブロックが2つの場合を例に挙げて、以下に説明する。

【0005】 図3は従来の半導体集積回路装置の構成を示すブロック図およびその個別テスト機能を用いた検査方法を示す各信号のタイミングチャートである。図3に示す半導体集積回路装置301においては、機能ブロック(A)302および機能ブロック(B)303のうち一つを、そのデータの入力側と出力側に接続されたセレクタ304、305、306を、外部から入力したブロック選択信号rのレベル状態などを変化させて、切り換え選択することにより、外部信号であるデータ入力oおよびクロック入力nおよびデータ出力sに対して、直接アクセス可能な状態として、その機能ブロックに対する機能検査を行う。

【0006】 すなわち、他方の機能ブロック(例えば、機能ブロック(B))の検査は、初めに選択した機能ブロック(例えば、機能ブロック(A))の検査終了後、全てのセレクタ304、305、306を切り換えて、当該機能ブロック(例えば、機能ブロック(B))を外部から直接アクセス可能な状態にして行っていた。

【0007】 また、2つ以上の機能ブロックからなる半導体集積回路装置の場合も同様に、各機能ブロックを、その入力側と出力側に接続されたセレクタの切り換えにより、順次外部から直接アクセス可能な状態として、一つずつ順番に機能検査を行っていた。

【0008】 つぎに、RAMのように内容が同一またはほぼ同一の複数の機能ブロックからなる半導体集積回路装置およびその検査方法について、同一またはほぼ同一の機能ブロックが2つの場合を例に挙げて、以下に説明する。

【0009】 図4は従来の半導体集積回路装置の別の構成を示すブロック図およびその並列テスト機能を用いた検査方法を示す各信号のタイミングチャートである。図4に示す半導体集積回路装置401のように、機能ブロック(A)402および機能ブロック(A')403を、それぞれに同一のデータ信号uおよびクロック信号v、wを入力して並列に動作させ、出力信号について各機能ブロック間で比較し、その比較結果xにおける一致状態を観測することにより、並列して機能検査を行い、検査時間の短縮を図っていた。

## 【0010】

【発明が解決しようとする課題】しかしながら上記のような従来の半導体集積回路装置は、近年になってその集積度向上および回路規模の増大に伴い、内蔵される機能ブロック数が増加しており、図3の検査方式では、ブロック数の増加に比例して検査に要する時間も増大し、特に検査に用いるLSIテストの分解能より動作の遅い機能ブロックが存在する場合には、テスタ能力に余裕があるにも関わらず、検査時間が長くなってしまうという問題点を有していた。

【0011】また図4の検査方式の場合では、各機能ブロックを並列検査することにより検査時間の短縮を図れるが、同一またはほぼ同一の機能ブロック同士に限定されるため、ロジック回路等には適用できないという問題点を有していた。

【0012】本発明は、上記従来の問題点を解決するもので、機能が異なったり、また検査用のLSIテストの分解能に比べて動作速度が遅い等の複数種類のブロックを持つ場合にも対応して、それらのブロックの並列検査を可能とし、その場合の検査効率を向上するとともに、内蔵する機能ブロック数が増加しても、各機能ブロックの動作速度を変えずに、検査時間を短縮し、その増大をおさえることができる半導体集積回路装置およびその検査方法を提供する。

## 【0013】

【課題を解決するための手段】上記の課題を解決するために本発明の半導体集積回路装置は、入力データをラッチし、前記入力データに対応するデータを出力する機能を有する複数の機能ブロックからなり、内蔵したテスト回路により前記機能が検査される半導体集積回路装置において、前記テスト回路を、前記複数の機能ブロックからの前記入力データに基づく各出力データのうち1つを選択して外部に出力するセレクタと、外部からのクロックに基づいて、前記複数の機能ブロックから1つのブロックを順次選択する選択信号、および前記セレクタによる出力データの選択を指示する出力選択信号を生成するクロック選択器とで構成し、前記クロック選択器を、前記選択信号により、前記外部からクロックが一つ入力されるたびに、前記複数の機能ブロックから一つを順次選択するとともに、前記出力選択信号により、前記セレクタを通じて、前記機能ブロックの選択順に対応して、機能ブロックからの出力データを順次選択するよう構成し、前記テスト回路により前記複数の機能ブロックが並列検査されるよう構成したことを特徴とする。

【0014】また、本発明の半導体集積回路装置の検査方法は、入力データをラッチし、前記入力データに対応するデータを出力する機能を有する複数の機能ブロックからなり、内蔵したテスト回路により前記機能が検査される半導体集積回路装置の検査方法であって、前記テスト回路により、外部からクロックが一つ入力されるたび

に、前記複数の機能ブロックから一つを順次選択するとともに、前記機能ブロックの選択順に対応して、前記機能ブロックからの出力データを順次選択して出力することにより、前記複数の機能ブロックを並列検査する方法としたことを特徴とする。

【0015】以上により、外部入力クロックの周波数を内蔵ブロック数で分周したときの周期を基準にして、各ブロックに順番に入力されたクロックの立ち上がりタイミングに合わせて、各ブロックが、外部からの入力データをラッチすることにより、各ブロックに順番に入力データを取り込むとともに、各ブロックからの出力データをセレクタによりデータ取り込みの際の順番で選択して、外部へデータ出力ができる。

## 【0016】

【発明の実施の形態】本発明の請求項1に記載の半導体集積回路装置は、入力データをラッチし、前記入力データに対応するデータを出力する機能を有する複数の機能ブロックからなり、内蔵したテスト回路により前記機能が検査される半導体集積回路装置において、前記テスト

回路を、前記複数の機能ブロックからの前記入力データに基づく各出力データのうち1つを選択して外部に出力するセレクタと、外部からのクロックに基づいて、前記複数の機能ブロックから1つのブロックを順次選択する選択信号、および前記セレクタによる出力データの選択を指示する出力選択信号を生成するクロック選択器とで構成し、前記クロック選択器を、前記選択信号により、前記外部からクロックが一つ入力されるたびに、前記複数の機能ブロックから一つを順次選択するとともに、前記出力選択信号により、前記セレクタを通じて、前記機能ブロックの選択順に対応して、機能ブロックからの出力データを順次選択するよう構成し、前記テスト回路により前記複数の機能ブロックが並列検査される構成とする。

【0017】請求項2に記載の半導体集積回路装置は、請求項1記載の複数の機能ブロックとして、それぞれの動作速度が、同一でかつ検査テスタの動作速度より遅い機能ブロックを設け、前記複数の機能ブロックに対して、同時進行により並列検査するよう構成する。

【0018】請求項3に記載の半導体集積回路装置は、請求項1記載の複数の機能ブロックとして、それぞれ異なる動作速度のものが混在し、かつ最も速い動作速度が検査テスタの動作速度より遅い機能ブロックを設け、前記複数の機能ブロックに対して、同時進行により並列検査するよう構成する。

【0019】請求項4に記載の半導体集積回路装置の検査方法は、入力データをラッチし、前記入力データに対応するデータを出力する機能を有する複数の機能ブロックからなり、内蔵したテスト回路により前記機能が検査される半導体集積回路装置の検査方法であって、前記テスト回路により、外部からクロックが一つ入力されるた

びに、前記複数の機能ブロックから一つを順次選択するとともに、前記機能ブロックの選択順に対応して、前記機能ブロックからの出力データを順次選択して出力することにより、前記複数の機能ブロックを並列検査する方法とする。

【0020】これらの構成および方法によると、外部入力クロックの周波数を内蔵ブロック数で分周したときの周期を基準にして、各ブロックに順番に入力されたクロックの立ち上がりタイミングに合わせて、各ブロックが、外部からの入力データをラッチすることにより、各ブロックに順番に入力データを取り込むとともに、各ブロックからの出力データをセレクタによりデータ取り込みの際の順番で選択して、外部へデータ出力する。

【0021】以下、本発明の一実施の形態を示す半導体集積回路装置およびその検査方法について、図面を参照しながら具体的に説明する。

(実施の形態1) 本発明の実施の形態1の半導体集積回路装置およびその検査方法を説明する。

【0022】図1は本実施の形態1の半導体集積回路装置の構成を示すブロック図およびその検査方法を示す各信号のタイミングチャートである。図1に示すように、半導体集積回路装置101は、2つの機能ブロック(A)102、機能ブロック(B)103と、クロック選択器104と、セレクタ105とを備えている。

【0023】2つの機能ブロック102、103は、クロック信号c、dの入力によりデータ入力信号bをラッチする機能を備えている。セレクタ105は、2つの機能ブロック102、103の各データ出力端子に接続され、検査時に出力選択信号eにより指定された機能ブロック側のデータ出力信号fを外部に出力する。

【0024】そして、クロック選択器104は、検査時に外部LSIテスタからクロック信号aが一つ入力されるたびに、2つの機能ブロックのうち一つを交互に選択して、タイムチャートに示すように、機能ブロック(A)102を選択したときはクロック信号cを、機能ブロック(B)103を選択したときはクロック信号dを交互に出力し、同時に選択した機能ブロック側を指定する出力選択信号eを出力する。

【0025】半導体集積回路装置101に、外部のLSIテスタより、タイムチャートに示すタイミングで、各機能ブロックへのデータ入力として交互に時分割で並べた入力信号bを入力する。なお、ここでのデータ入力信号bは、機能ブロック(A)102および機能ブロック(B)103のクロック信号を除く全入力信号を示す。

【0026】機能ブロック(A)102および機能ブロック(B)103は、それぞれクロック信号c、dの立ち上がりで交互に並んだデータ信号bを選択的にラッチする。また、セレクタ105には、クロック選択器104から出力選択信号eが入力されており、2つの機能ブロックからのデータ出力信号を交互に選択し、半導体集

積回路装置101の外部にデータを出力する。

【0027】このようにして、機能ブロック(A)102および機能ブロック(B)103の各1サイクル分の時間に、両ブロックにデータ信号を入出力することができる。

【0028】その結果、各機能ブロックの動作速度がLSIテスタの動作速度よりも2倍以上遅い場合、前記のように両ブロックを並列に動作させれば、各ブロックに個別に一つずつ検査するのに比べ、1/2の時間で検査をすることができる。

【0029】なお、本実施の形態においては、2つの機能ブロックを並列に検査する例を示したが、機能ブロックがN個の場合についても、同様に並列に検査することにより、1/Nの時間で検査を行うことができる。

(実施の形態2) 本発明の実施の形態2の半導体集積回路装置およびその検査方法を説明する。

【0030】図2は本実施の形態2の半導体集積回路装置の構成を示すブロック図およびその検査方法を示す各信号のタイミングチャートである。図2に示すように、

20 半導体集積回路装置201は、3つの機能ブロック(A)202、機能ブロック(B)203、機能ブロック(C)204と、クロック選択器205、セレクタ206とを備えている。

【0031】これら3つの機能ブロック202、203、204は、それぞれクロック信号i、j、kの入力によりデータ入力信号hをラッチする機能を備えている。また、機能ブロック(A)202と機能ブロック(B)203の動作速度は、機能ブロック(C)204よりも遅い。セレクタ206は、3つの機能ブロック2

30 02、203、204のデータ出力端子に接続され、検査時に出力選択信号lにより指定された機能ブロックのデータ出力信号を外部に出力する。

【0032】そして、クロック選択器205は、検査時に外部LSIテスタからクロック信号gが一つ入力されるたびに、3つの機能ブロックのうち一つを選択して、機能ブロック(A)202を選択したときはクロック信号iを、機能ブロック(B)203を選択したときはクロック信号jを、機能ブロック(C)204を選択したときはクロック信号kを、タイムチャートに示す順番で出力し、同時に選択したブロックを指定する出力選択信号lを出力する。

【0033】半導体集積回路装置201に、外部のLSIテスタより、タイムチャートに示すタイミングおよび順番で、各機能ブロックへのデータ入力を時分割に並べた入力信号hを入力する。機能ブロック(A)202、機能ブロック(B)203、機能ブロック(C)204は、それぞれクロック信号i、j、kの立ち上がりで時分割に並んだデータ信号hを選択的にラッチする。

【0034】また、セレクタ206には、クロック選択器205から出力選択信号lが入力されており、3つの

機能ブロック202、203、204からのデータ出力信号を選択し、タイミングチャートに示す順番で時分割に、半導体集積回路装置201の外部にデータを出力する。  
【0035】このようにして、動作速度の異なる3つの機能ブロックをそれぞれに時分割にデータ信号を入出力し、並列に動作させることができる。その結果、各機能ブロックの動作速度がLSIテストの動作速度よりも遅い場合、上記のように各ブロックを並列に動作させれば、実施の形態1と同様に、各ブロックを個別に一つずつ検査するのに比べ、検査時間を短縮することができる。

## 【0036】

【発明の効果】以上のように本発明によれば、外部入力クロックの周波数を内蔵ブロック数で分周したときの周期を基準にして、各ブロックに順番に入力されたクロックの立ち上がりタイミングに合わせて、各ブロックが、外部からの入力データをラッチすることにより、各ブロックに順番に入力データを取り込むとともに、各ブロックからの出力データをセレクタによりデータ取り込みの際の順番で選択して、外部へデータ出力することができる。

【0037】そのため、機能が異なったり、また検査用のLSIテストの分解能に比べて動作速度が遅い等の複数種類のブロックを持つ場合にも対応して、それらのブロックの並列検査を可能とし、その場合の検査効率を向上するとともに、内蔵する機能ブロック数が増加しても、各機能ブロックの動作速度を変えずに、検査時間を短縮し、その増大をおさえることができる。

## 【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体集積回路装置の構成を示すブロック図およびその検査方法を示す各信号

## のタイミングチャート

【図2】本発明の実施の形態2の半導体集積回路装置の構成を示すブロック図およびその検査方法を示す各信号のタイミングチャート

【図3】従来の半導体集積回路装置の構成を示すブロック図およびその個別テスト機能を用いた検査方法を示す各信号のタイミングチャート

【図4】従来の半導体集積回路装置の別の構成を示すブロック図およびその並列テスト機能を用いた検査方法を示す各信号のタイミングチャート

## 【符号の説明】

10 101 半導体集積回路装置

102 機能ブロック(A)

103 機能ブロック(B)

104 クロック選択器

105 セレクタ

20 201 半導体集積回路装置

202 機能ブロック(A)

203 機能ブロック(B)

204 機能ブロック(C)

205 クロック選択器

206 セレクタ

30 301 半導体集積回路装置

302 機能ブロック(A)

303 機能ブロック(B)

304、305、306 セレクタ

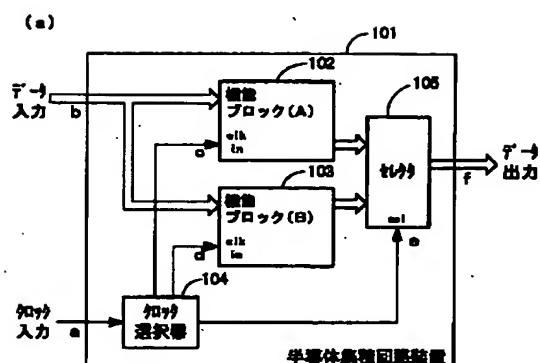
40 401 半導体集積回路装置

402 機能ブロック(A)

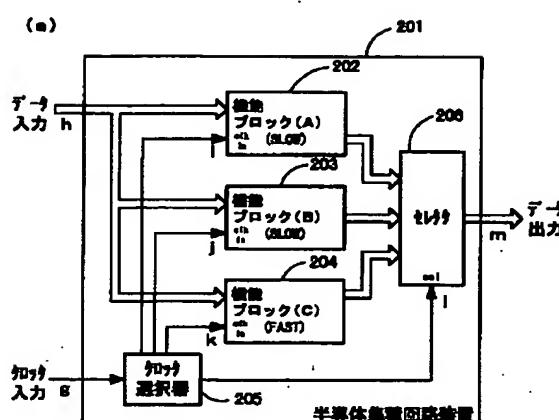
403 機能ブロック(A')

404 比較器

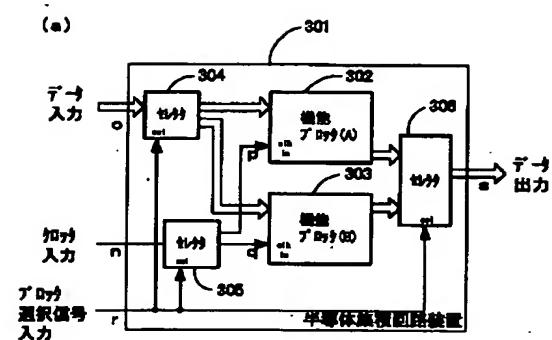
【図1】



【図2】



【図3】



【図4】

